

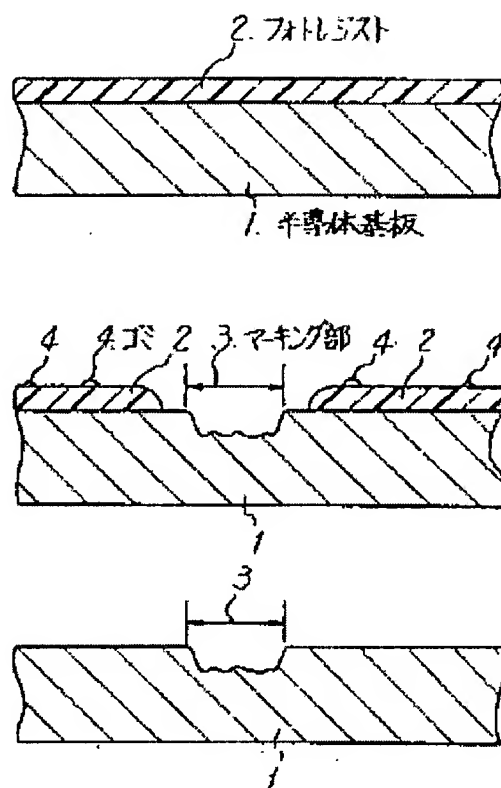
METHOD OF MARKING ON SEMICONDUCTOR SUBSTRATE

Patent number: JP63183885
Publication date: 1988-07-29
Inventor: TOGASHI KOICHI
Applicant: NEC CORP
Classification:
- international: B41M5/26
- european:
Application number: JP19870016512 19870126
Priority number(s):

Abstract of JP63183885

PURPOSE: To enable dusts generated during a marking process to be almost perfectly removed, by a method wherein, a protective film is formed all or partially over one main surface of a semiconductor substrate, and the protective film is removed after the marking is carried out by a laser on a part of the portion covered with the protective layer.

CONSTITUTION: A semiconductor substrate 1 consists of semiconductive materials such as Si and GaAs. A photoresist 2 on the main surface of the substrate 1, which is the same as used in the manufacture of a semiconductor integrated circuit, is formed to be approximately 1μm thick. A marking portion 3 is formed by a laser marking, but due to the heat generated at this time a part of the semiconductor substrate 1 and the photoresist 2 is splashed thereabouts to become dusts 4. After that, the photoresist 2 is removed with an organic releaser, and simultaneously the dusts 4 are removed. In addition, the photoresist is used as a protective film, but an organic material of polyimide etc., may be alternatively used. A material provided with an oxide, a nitride, a polysilicon, a metal, or the like formed on a semiconductor substrate may be used as an object.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

⑬ Int. Cl.⁴

B 41 M 5/26

識別記号

庁内整理番号

V-7265-2H

⑭ 公開 昭和63年(1988)7月29日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体基板へのマーキング方法

⑯ 特 願 昭62-16512

⑰ 出 願 昭62(1987)1月26日

⑱ 発 明 者 富 樫 幸 市 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体基板へのマーキング方法

2. 特許請求の範囲

半導体基板の一主面上に保護膜を全面又は、部分的に形成し、前記保護膜で被われた一部分にレーザーによってマーキングを行った後、前記保護膜を除去する工程を含むことを特徴とする半導体基板へのマーキング方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体基板へのマーキング方法に関し、特にマーキングによって発生したゴミを効果的に除去できるマーキング方法に関する。

〔従来の技術〕

第3図は、従来のマーキング方法による加工状態を示すための基板の断面図である。従来の基板

へのマーキング方法は、半導体基板1の半導体回路素子(図示せず)形成面と同一面上の一部にレーザー加工によってマーキング部3を形成していた。

〔発明が解決しようとする問題点〕

上述した従来のマーキング方法は、第3図に見られるゴミ4の発生を少なくするためにはレーザーパワーを下げることになるが、パワーを下げることでマーキングされた文字は判読が困難である。マーキング文字の判読が可能でゴミの発生がほとんどないレーザーパワーの領域は非常に範囲が狭く、マーキング部の表面状態、レーザーパワーの変動等によってマーキング状態が変化する。又、レーザーパワーを大きくするとマーキング文字の判読は良好になるが、ゴミの発生が多くなるとともにゴミの飛散距離も増大し、半導体回路素子、パターン形成部まで達し、歩留低下の原因になるという欠点がある。

〔問題点を解決するための手段〕

上述した従来のマーキング方法に対し、本発明

は、マーキング文字が容易に判読でき、かつマーキングによって発生したゴミをほぼ完全に除去可能ならしめるため、半導体基板のマーキングする面に予じめ保護膜を形成し、この保護膜の上からレーザによってマーキングを行い、それから保護膜を除去している。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図(a)～(c)は、本発明の一実施例を示す工程順の断面図である。第1図(a)において、半導体基板1は、Si, GaAs等の半導体材料からできており、基板1の主面上のフォトリソスト2は、半導体集積回路の製造に使用するものと同じであり、約1 μ m程度形成する。第1図(b)は、レーザマーキングでマーキング部が形成されるが、マーキング時に発生する熱によって、半導体基板1とフォトリソスト2の一部が周囲に飛散しゴミ4が形成される。第1図(c)は、フォトリソスト2を有機剥離剤等によって除去した状態で、この時ゴミ4も同時に取り除かれる。

以上説明したように本発明は、半導体基板上にマーキングを行う場合、マーキング面の全面又は一部分に保護膜を形成してマーキングし、その保護膜を除去することにより、マーキングで発生したゴミをほぼ完全に除去できる効果がある。

4. 図面の簡単な説明

第1図(a)～(c)は本発明の半導体基板へのマーキング方法の実施例1を説明するための工程順の断面図、第2図(a)～(c)は実施例2を説明するための工程順の断面図、第3図は従来の半導体基板へのマーキング方法を説明するための基板の断面図である。

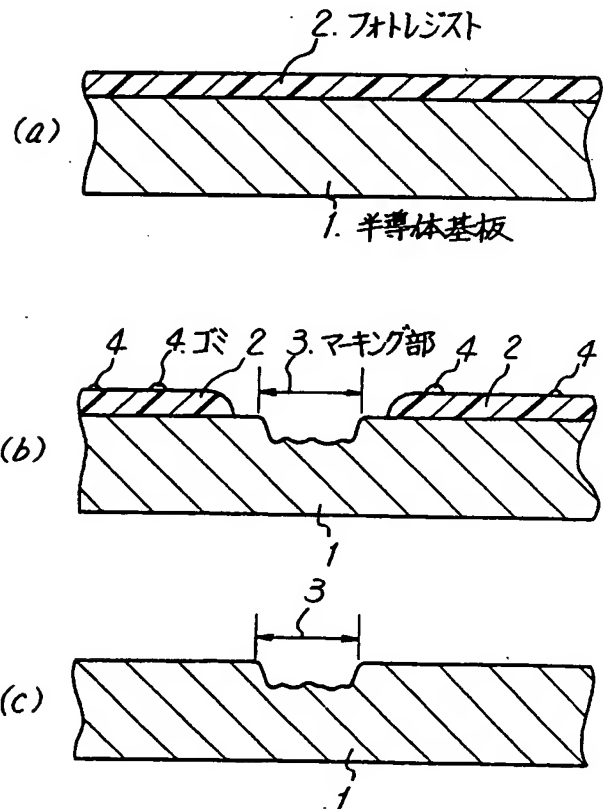
1……半導体基板、2……フォトリソスト、3……マーキング部、4……ゴミ、5……シリコン酸化膜。

代理人 弁理士 内 原 晋

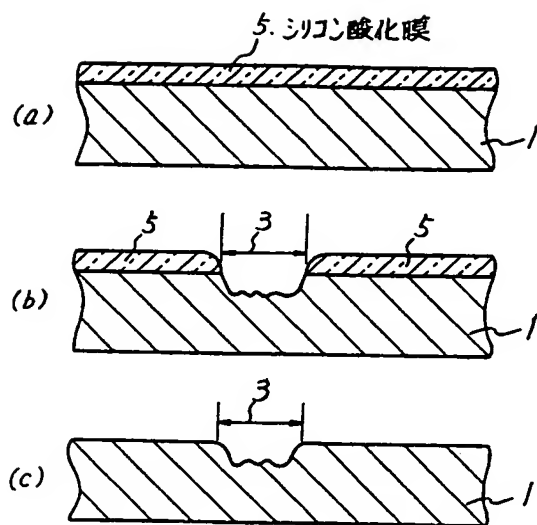
尚、上記実施例において、保護膜としてフォトリソストで説明したが、ポリイミド等の有機物材料でもよく、又半導体基板上に酸化物、窒化物、ポリシリコン、金属等が形成されたものを対象としてもよい。

第2図(a)～(c)は、本発明の実施例2を示す工程順の断面図である。第2図(a)において、半導体基板1上に、シリコン酸化膜5をCVD法によって成長する。第2図(b)はレーザマーキングによってマーキング部3が形成されるが、シリコン酸化膜5はフォトリソストに比べ耐熱性が高く、マーキング部3の周囲のシリコン酸化膜はほとんど加工されないで、実施例1よりゴミ4の付着部分が少なくなる。第2図(c)はシリコン酸化膜5をHF系のエッチング液で除去した状態で、この時ゴミ4も同時に取り除かれる。尚、上記実施例において保護膜をシリコン酸化物としたが、シリコン窒化物でもよく、又、熱酸化膜やスパッタ法を用いてもよい。

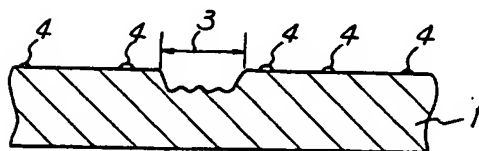
〔発明の効果〕



第1図



第 2 図



第 3 図